

UNIDAD	<b>LERMA</b>	DIVISION	<b>CIENCIAS BÁSICAS E INGENIERÍA</b>	1/3
NOMBRE DEL PLAN				
<b>LICENCIATURA EN INGENIERÍA EN COMPUTACIÓN Y TELECOMUNICACIONES</b>				
CLAVE	UNIDAD DE ENSEÑANZA-APRENDIZAJE		CRED. 9.0	
5131018	<b>FUNDAMENTOS DE DISEÑO LÓGICO</b>		TIPO OBL	
H. TEOR. 3.0	SERIACIÓN		TRIM.	
H. PRAC. 3.0			II-III	

**OBJETIVO GENERAL:**

Al final de la UEA el alumno será capaz de:

- Analizar, diseñar y aplicar sistemas digitales tanto combinatorios como secuenciales.

**CONTENIDO SINTÉTICO:**

1. Introducción a los sistemas digitales; elementos de diseño digital.
2. Diseño de circuitos combinatorios.
3. Diseño, programación y simulación de dispositivos de lógica programable mediante lenguajes de descripción de hardware.
4. Registros y memorias.
5. Fundamentos de máquinas secuenciales.
6. Diseño de circuitos secuenciales.
7. Diseño de máquinas de estado finitas.

CLAVE 5131018

FUNDAMENTOS DE DISEÑO LÓGICO

**MODALIDADES DE CONDUCCIÓN DE LA UNIDAD DE ENSEÑANZA-APRENDIZAJE:**

- Al inicio del trimestre, el profesor presentará a los alumnos los objetivos, el programa y la bibliografía del curso.
- El profesor expondrá los temas frente a grupo mediante la presentación de ejemplos y resolverá problemas y ejercicios para su comprensión, con la participación activa de los alumnos.
- Los alumnos participarán planteando dudas e inquietudes sobre los temas teóricos; asimismo, resolverán problemas y ejercicios con la asesoría del profesor.
- El eje integrador se compondrá de actividades, de preferencia colaborativas, tales como: tareas, investigaciones, comprensión de lectura (español e inglés), debates, aplicación de cuestionarios, uso de software, entre otras, que articularán los diferentes contenidos de la UEA.
- Se recomienda la programación de reuniones periódicas entre los profesores de los diversos grupos de esta UEA a lo largo del trimestre, con el fin de homogeneizar y mejorar el proceso de enseñanza - aprendizaje, de forma tal que, decidan de manera colegiada las características de las evaluaciones.

**MODALIDADES DE EVALUACIÓN:**

- Al inicio del trimestre, el profesor expondrá a los alumnos los criterios y mecanismos de las evaluaciones, así como su programación.

Evaluación Global:

Se ponderarán las siguientes actividades a criterio del profesor:

- Evaluaciones periódicas que consistirán en la resolución escrita de problemas, ejercicios o preguntas sobre la teoría. Serán al menos dos por trimestre y una que corresponda al proyecto integrador. Se sugiere que esta última, cuente de un 10% hasta un 30% de la calificación final, a juicio del profesor.

CLAVE 5131018

FUNDAMENTOS DE DISEÑO LÓGICO

- Evaluación terminal, que será de carácter obligatorio para aquellos alumnos que reprobren alguna evaluación periódica. El alumno presentará la(s) parte(s) correspondiente(s) a la(s) evaluación(es) periódica(s) reprobada(s) o un examen que abarcará la totalidad del curso.

Evaluación de Recuperación:

Admite evaluación de recuperación. Requiere inscripción previa.

**BIBLIOGRAFÍA NECESARIA O RECOMENDABLE:**

Bibliografía Necesaria:

1. Chu, P. P. (2006). RTL Hardware Design Using VHDL. EUA: Wiley-Interscience.
2. Floyd, T. L. (2014). Digital Fundamentals (11a ed.). EUA: Pearson / Prentice Hall.

Bibliografía Recomendable:

1. Chu, P. P. (2008). FPGA Prototyping by Verilog examples. EUA: Wiley-Interscience.
2. Chu, P. P. (2008). FPGA Prototyping by VHDL examples. EUA: Wiley-Interscience.
3. Mano, M. & Cilletti, M. (2012). Digital Design: With an Introduction to the Verilog HDL (5a ed.). EUA: Pearson / Prentice Hall.
4. Mano, M. & Kimer, C. R. (2015). Logic & Computer Design Fundamentals (5a ed.). EUA: Pearson / Prentice Hall.
5. Roth, C. & Lizy K. J. (2007). Digital Systems Design Using VHDL (2a ed.). EUA: CL-Engineering.